

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-198870

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

G11C 11/41

(21)Application number : 08-009902

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 24.01.1996

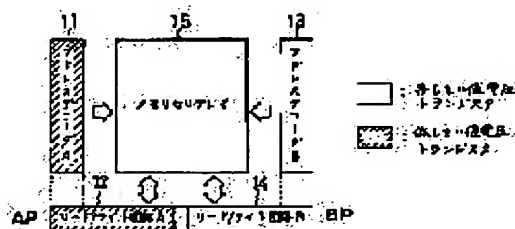
(72)Inventor : MUTO SHINICHIRO
SHIGEMATSU TOMOSHI
MATSUTANI YASUYUKI

(54) MULTI-PORT MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the standby current by constituting a first peripheral circuit group for constituting a first port by a low threshold value voltage transistor, and constituting a second peripheral circuit group for constituting second port by a high threshold value voltage transistor.

SOLUTION: A memory peripheral circuit AP corresponding to an A port has an address decoder A11 and read/write circuit A12, and a memory peripheral circuit BP corresponding to a B port has an address decoder B and read/write circuit B. Accordingly, the circuit AP has the low threshold value voltage transistor, and the circuit BP has the high threshold value voltage transistor. A memory array 15 is independently and sharedly accessed by these two ports. Since the standby current in the circuit BP becomes the amplitude which can be almost ignored, it can reduce the standby current of the entire multi-port memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-198870

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl.⁶

G 1 1 C 11/41

識別記号

庁内整理番号

F I

G 1 1 C 11/34

技術表示箇所

K

審査請求 未請求 請求項の数9 OL (全 9 頁)

(21)出願番号

特願平8-9902

(22)出願日

平成8年(1996)1月24日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 武藤 伸一郎

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72)発明者 重松 智志

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72)発明者 松谷 康之

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

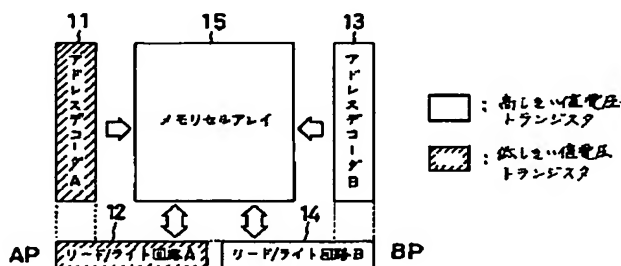
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 マルチポートメモリ

(57)【要約】

【課題】 低電源電圧にて高速動作が可能で、スタンバイ電流を低減させることができるマルチポートメモリを提供する。

【解決手段】 メモリセルアレイ15に対して独立に共有してアクセスするAポートおよびBポートのうち、高速アクセスが必要なAポートについては、低しきい値電圧トランジスタにて構成し、低速アクセスで十分なBポートについては、高しきい値電圧トランジスタにて構成する。



【特許請求の範囲】

【請求項1】 任意のデータを記憶するメモリセルアレイと、このメモリセルアレイを共有するとともに独立してアクセスすることにより任意のデータの書込み／読出しを行う複数のポートをそれぞれ構成する複数の周辺回路群とからなるマルチポートメモリにおいて、低しきい値電圧トランジスタにより第1のポートを構成する第1の周辺回路群と、

高しきい値電圧トランジスタにより第2のポートを構成する第2の周辺回路群とを備えることを特徴とするマルチポートメモリ。

【請求項2】 請求項1記載のマルチポートメモリにおいて、

第1の周辺回路群に高電位の電源を供給する第1の擬似電源線と、

所定の高電位電源線から第1の擬似電源線に対して供給する電源を制御する第1の高しきい値電圧トランジスタとを備えることを特徴とするマルチポートメモリ。

【請求項3】 請求項1記載のマルチポートメモリにおいて、

第1の周辺回路群に低電位の電源を供給する第2の擬似電源線と、

所定の低電位電源線から第2の擬似電源線に対して供給する電源を制御する第2の高しきい値電圧トランジスタとを備えることを特徴とするマルチポートメモリ。

【請求項4】 請求項1記載のマルチポートメモリにおいて、

第1の周辺回路群に高電位の電源を供給する第3の擬似電源線と、

所定の高電位電源線から第3の擬似電源線に対して供給する電源を制御する第3の高しきい値電圧トランジスタと、

第1の周辺回路群に低電位の電源を供給する第4の擬似電源線と、

所定の低電位電源線から第4の擬似電源線に対して供給する電源を制御する第4の高しきい値電圧トランジスタとを備えることを特徴とするマルチポートメモリ。

【請求項5】 請求項2～4記載のマルチポートメモリにおいて、

第2の周辺回路群に対して、前記高電位電源線から高電位の電源を供給し、前記低電位電源線から低電位の電源を供給するようにしたことを特徴とするマルチポートメモリ。

【請求項6】 任意のデータを記憶するメモリセルアレイと、このメモリセルアレイを共有するとともに独立してアクセスすることにより任意のデータの書込み／読出しを行う複数のポートをそれぞれ構成する複数の周辺回路群とからなるマルチポートメモリにおいて、

低しきい値電圧トランジスタにより第1および第2のポートを構成する第1および第2の周辺回路群と、

第1の周辺回路群に高電位の電源を供給する第1の擬似電源線と、

所定の高電位電源線から第1の擬似電源線に対して供給する電源を制御する第1の高しきい値電圧トランジスタとを備えることを特徴とするマルチポートメモリ。

【請求項7】 任意のデータを記憶するメモリセルアレイと、このメモリセルアレイを共有するとともに独立してアクセスすることにより任意のデータの書込み／読出しを行う複数のポートをそれぞれ構成する複数の周辺回路群とからなるマルチポートメモリにおいて、

低しきい値電圧トランジスタにより第1および第2のポートを構成する第1および第2の周辺回路群と、

第1の周辺回路群に低電位の電源を供給する第1の擬似電源線と、

所定の低電位電源線から第1の擬似電源線に対して供給する電源を制御する第1の高しきい値電圧トランジスタとを備えることを特徴とするマルチポートメモリ。

【請求項8】 任意のデータを記憶するメモリセルアレイと、このメモリセルアレイを共有するとともに独立してアクセスすることにより任意のデータの書込み／読出しを行う複数のポートをそれぞれ構成する複数の周辺回路群とからなるマルチポートメモリにおいて、

低しきい値電圧トランジスタにより第1および第2のポートを構成する第1および第2の周辺回路群と、

第1の周辺回路群に高電位の電源を供給する第3の擬似電源線と、

所定の高電位電源線から第3の擬似電源線に対して供給する電源を制御する第3の高しきい値電圧トランジスタと、

第1の周辺回路群に低電位の電源を供給する第4の擬似電源線と、

所定の低電位電源線から第4の擬似電源線に対して供給する電源を制御する第4の高しきい値電圧トランジスタとを備えることを特徴とするマルチポートメモリ。

【請求項9】 請求項6～8記載のマルチポートメモリにおいて、

第2の周辺回路群に対して、前記高電位電源線から高電位の電源を供給し、前記低電位電源線から低電位の電源を供給するようにしたことを特徴とするマルチポートメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセルアレイを共有する複数の入出力ポートを有するマルチポートメモリに関し、特に高速アクセス用ポートと低速アクセス用ポートが混在するとともに、比較的低い電源電圧で動作するマルチポートメモリに関するものである。

【0002】

【従来の技術】一般に、マルチポートメモリでは、図7に示すように、1つのメモリセルアレイ（記憶領域）に

3

対して、複数の入出力ポートを備え、各ポートからメモリセルアレイに対して独立して書込み／読出し（ROMの場合には読出しのみ）が行えるものとなっている。ここでは、アドレスデコーダA71およびリード／ライト回路A72からなる周辺回路APにて入出力ポートAが構成され、アドレスデコーダB73およびリード／ライト回路B74からなる周辺回路BPにて入出力ポートBが構成され、メモリセルアレイ75を共有するものとなっている（例えば、「超高速MOSデバイス」p325：菅野卓雄監修、培風館、1986年など）。

【0003】近年、低電力化のためにLSIの電源電圧の低下が強く望まれている。特に、安価ニッカド電池やニッケル水素電池の一本分の電圧である1.2V以下で動作し、かつ速度性能を損なわないLSIの実現が切望されている。LSIの中心部品であるメモリについても同様の要求がある。1Vで高速動作するメモリについては未だに技術的に固まっておらず、従来例と呼べるものは見あたらないが、ここでは現状技術から容易に類推しうる構成を第1の従来技術として、図9に示す。

【0004】図9では、入力バッファ、プリデコーダ、メインデコーダなどからなるアドレスデコーダA91およびアドレスデコーダB93と、センスアンプ、書込みバッファ、出力バッファなどからなるリード／ライト回路A92およびリード／ライト回路B93とが、メモリ周辺回路AP（Aポート）およびBP（Bポート）として配置され、メモリセルアレイ（コア）95を共有かつ独立してアクセスできるものとなっている。

【0005】AP、BPについては、メモリセルアレイを構成するトランジスタのしきい値電圧に比較して、低いしきい値電圧のトランジスタで構成されている。図10は図9のメモリ周辺回路の一部を示す回路図であり、VDDは高電位電源線、GNDは低電位電源線、101、102は低しきい値電圧トランジスタからなるAPおよびBP内の論理回路GA、GBである。

【0006】また図8は、各トランジスタのしきい値電圧とそのトランジスタで構成した論理ゲートの遅延時間、およびスタンバイ電流の関係を示す説明図である。特に電源電圧V_{dd}=1Vの場合を示しており、スタンバイ電流I_{sub}はしきい値電圧=0.6Vで正規化されている。V_{dd}=1V付近では、しきい値電圧と遅延時間t_{pd}との相関が非常に強く、しきい値電圧を下げることでスタンバイ電流I_{sub}は非常に大きくなるが、遅延時間t_{pd}が小さく抑えられ、高速な動作が可能となる。

【0007】メモリの遅延時間のうち、80%程度は周辺回路の動作速度が占めていることから、APおよびBPを低しきい値トランジスタにて構成することにより、1Vで高速に動作するメモリを実現することができる。しかしながら、一方で、しきい値電圧の低下はスタンバイ電流I_{sub}を増加させる。例えば、しきい値電圧を

(3)

特開平9-198870

4

0.1V低くした場合、10倍程度、スタンバイ電流I_{sub}が増大する。

【0008】このスタンバイ電流I_{sub}は、所望の動作には全く関係なく消費される電流となるため、無駄な電源消費となる。したがって、トランジスタが非常に高密度に集積されているメモリセルアレイ（コア）について、低しきい値電圧トランジスタを使用することは、スタンバイ電流を著しく増加させることから、あまり得策ではない。

10 【0009】また、第2の従来技術として、最近、図11に示すようなMTCMOS回路（例えば、電子情報通信学会 1994春季全国大会論文集5 C-627など）を応用したMTCMOSメモリ（例えば、“1994 IEEE Symposium on Low Power Electronics”, Digest of Technical Papers, P.90など）が提案されている。図11において、VDDは高電位電源線、GNDは低電位電源線、111、113は低しきい値電圧トランジスタからなるアドレスデコーダA、B、112、114は低しきい値電圧トランジスタからなるリード／ライト回路A、B、115は高しきい値電圧トランジスタからなるメモリセルアレイである。

20 【0010】また、116、117はVDDとアドレスデコーダA、Bとの間に設けられ、スリープ制御信号SLによりオン／オフ制御される高しきい値電圧トランジスタQ_sである。ここでは、各ポートAP、BPの周辺回路に高しきい値電圧トランジスタQ_sを介して電源電圧が供給されている点が、前述の第1の従来技術（図9）と異なっている。

30 【0011】図12は図11のメモリ周辺回路の一部を示す回路図であり、VDDVは高しきい値電圧トランジスタQ_sを介してVDDから電源が供給される擬似電源線、121、122は低しきい値電圧トランジスタからなるAPおよびBP内の論理回路GA、GBである。動作時には、スリープ制御信号SLが「LOW」レベルとなり、トランジスタQ_sがオンしてVDDからVDDVを介してGA、GBに電源電圧が供給される。

40 【0012】一方、非動作時には、スリープ制御信号SLが「HIGH」レベルとなり、Q_sがオフしてVDDからの電源供給が遮断される。この場合、Q_sのしきい値電圧が高いことから、電源電圧が低く、論理回路部にしきい値電圧の低いトランジスタが使われている場合でもスタンバイ電流が小さい。このことから、長時間にわたり外部からメモリ回路がアクセスされない場合には、スリープ制御信号SLを「HIGH」レベルに制御してQ_sをカットオフすることによりスタンバイ電流を低減できるものとなっていた。

【0013】

50 【発明が解決しようとする課題】したがって、このような従来のマルチポートメモリでは、いずれの場合でも、すべてのポートに対応するメモリ周辺回路を低しきい値

5

電圧のトランジスタで構成するものであるため、独立してメモリセルアレイをアクセスするポート数の増加に応じてスタンバイ電流も増加するという問題点があった。一般に、アナログ信号をサンプリングしながらデジタル的にフィルタリングするデジタル信号処理用などの用途には、「Aポートからは高速アクセスが必要だが、Bポートからは高速アクセスが必要ではない」という使われ方が多い。

【0014】このような場合でも、従来はA、B両ポートとも高しき値電圧の低いトランジスタでメモリ周辺回路が構成されていることから、すべてのメモリ周辺回路で大きなスタンバイ電流が流れてしまい、無駄な電力消費が増大する原因となっていた。また、第2の従来技術では、各ポートに対応して複数のスリープ制御用トランジスタQ_sが必要となるため、半導体チップ上で必要となる実装面積を増大させる原因となっていた。本発明はこのような課題を解決するためのものであり、低電源電圧にて高速動作が可能で、スタンバイ電流を低減させることができるマルチポートメモリを提供することを目的としている。

【0015】

【課題を解決するための手段】このような目的を達成するために、本発明によるマルチポートメモリは、低しき値電圧トランジスタにより第1のポートを構成する第1の周辺回路群と、高しき値電圧トランジスタにより第2のポートを構成する第2の周辺回路群とを備えるものである。したがって、第1のポートを構成する第1の周辺回路群が低しき値電圧トランジスタにより構成され、第2のポートを構成する第2の周辺回路群が高しき値電圧トランジスタにより構成される。

【0016】また、第1の周辺回路群に高電位の電源を供給する第1の擬似電源線と、所定の高電位電源線から第1の擬似電源線に対して供給する電源を制御する第1の高しき値電圧トランジスタとを備えるものである。したがって、所定の高電位電源線から第1の擬似電源線に対し、第1の高しき値電圧トランジスタを介して高電位の電源が供給される。

【0017】また、第1の周辺回路群に低電位の電源を供給する第2の擬似電源線と、所定の低電位電源線から第2の擬似電源線に対して供給する電源を制御する第2の高しき値電圧トランジスタとを備えるものである。したがって、所定の低電位電源線から第2の擬似電源線に対し、第2の高しき値電圧トランジスタを介して高電位の電源が供給される。

【0018】また、第1の周辺回路群に高電位の電源を供給する第3の擬似電源線と、所定の高電位電源線から第3の擬似電源線に対して供給する電源を制御する第3の高しき値電圧トランジスタと、第1の周辺回路群に低電位の電源を供給する第4の擬似電源線と、所定の低電位電源線から第4の擬似電源線に対して供給する電源

(4)

特開平9-198870

6

を制御する第4の高しき値電圧トランジスタとを備えるものである。したがって、所定の高電位電源線から第3の擬似電源線に対し、第3の高しき値電圧トランジスタを介して高電位の電源が供給され、所定の低電位電源線から第4の擬似電源線に対し、第4の高しき値電圧トランジスタを介して低電位の電源が供給される。

【0019】さらに、第2の周辺回路群に対して、高電位電源線から高電位の電源を供給し、低電位電源線から低電位の電源を供給するようにしたものである。したがって、第2の周辺回路群に対して、高電位電源線から高電位の電源が供給され、低電位電源線から低電位の電源が供給される。

【0020】また本発明による他のマルチポートメモリは、低しき値電圧トランジスタにより第1および第2のポートを構成する第1および第2の周辺回路群と、第1の周辺回路群に高電位の電源を供給する第1の擬似電源線と、所定の高電位電源線から第1の擬似電源線に対して供給する電源を制御する第1の高しき値電圧トランジスタとを備えるものである。したがって、所定の高電位電源線から第1の擬似電源線に対し、第1の高しき値電圧トランジスタを介して高電位の電源が供給される。

【0021】また、低しき値電圧トランジスタにより第1および第2のポートを構成する第1および第2の周辺回路群と、第1の周辺回路群に低電位の電源を供給する第1の擬似電源線と、所定の低電位電源線から第1の擬似電源線に対して供給する電源を制御する第1の高しき値電圧トランジスタとを備えるものである。したがって、所定の低電位電源線から第2の擬似電源線に対し、第2の高しき値電圧トランジスタを介して高電位の電源が供給される。

【0022】また、低しき値電圧トランジスタにより第1および第2のポートを構成する第1および第2の周辺回路群と、第1の周辺回路群に高電位の電源を供給する第3の擬似電源線と、所定の高電位電源線から第3の擬似電源線に対して供給する電源を制御する第3の高しき値電圧トランジスタと、第1の周辺回路群に低電位の電源を供給する第4の擬似電源線と、所定の低電位電源線から第4の擬似電源線に対して供給する電源を制御する第4の高しき値電圧トランジスタとを備えるものである。したがって、所定の高電位電源線から第3の擬似電源線に対し、第3の高しき値電圧トランジスタを介して高電位の電源が供給され、所定の低電位電源線から第4の擬似電源線に対し、第4の高しき値電圧トランジスタを介して低電位の電源が供給される。

【0023】さらに、第2の周辺回路群に対して、高電位電源線から高電位の電源を供給し、低電位電源線から低電位の電源を供給するようにしたものである。したがって、第2の周辺回路群に対して、高電位電源線から高電位の電源が供給され、低電位電源線から低電位の電源

が供給される。

【0024】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は本発明の第1の実施の形態であるマルチポートメモリのブロック図であり、同図において、11、12は低しきい値電圧トランジスタからなるアドレスデコーダAおよびリード／ライト回路A、13、14は高しきい値電圧トランジスタからなるアドレスデコーダBおよびリード／ライト回路B、15は高しきい値電圧トランジスタからなるメモリセルアレイである。

【0025】ここでは、アドレスデコーダAおよびリードライト回路AにてAポートに対応するメモリ周辺回路APが構成され、アドレスデコーダBおよびリードライト回路BにてBポートに対応するメモリ周辺回路BPが構成されている。したがって、APは低しきい値電圧トランジスタから構成され、BPは高しきい値電圧トランジスタから構成されるものとなり、これら2つのポートによりメモリセルアレイ15が独立かつ共有してアクセスされる。

【0026】図2は図1のメモリ周辺回路の一部を示す回路図であり、VDDは高電位電源線、GNDは低電位電源線、21は低しきい値電圧トランジスタからなるAP内の論理回路GA、22は高しきい値電圧トランジスタからなるBP内の論理回路GBである。AP（Aポート）では、低しきい値電圧トランジスタで構成されているため、高速に動作するがスタンバイ電流が大きい。BP（Bポート）では、高しきい値電圧トランジスタで構成されているため、低速で動作するがスタンバイ電流が小さい。

【0027】例えば、電源電圧を1V、高しきい値電圧の絶対値を0.6V、低しきい値電圧の絶対値を0.2Vとすると、Aポートの速度性能は、Bポートに比較して10倍程度となる。一方、Aポートのスタンバイ電流は、Bポートに比較して10000倍程度となる。

【0028】したがって、メモリセルアレイに対して一方のポートからは高速アクセスが必要であるが、他方のポートからは低速アクセスでよい場合には、速度性能の高いAポートから高速アクセスし、Bポートから低速アクセスすることにより、それぞれの要求に対応した所望の書込み／読出し動作を行うことが可能となる。また、BPにおけるスタンバイ電流がほとんど無視できる大きさとなるため、マルチポートメモリ全体のスタンバイ電流は、従来（図9参照）と比較して、約1/2程度に低減させることが可能となる。

【0029】次に、図3を参照して、本発明の第2の実施の形態について説明する。図3は本発明の第2の実施の形態であるマルチポートメモリのブロック図であり、同図において、31、32は低しきい値電圧トランジスタからなるアドレスデコーダAおよびリード／ライト回

路A、33、34は高しきい値電圧トランジスタからなるアドレスデコーダBおよびリード／ライト回路B、35は高しきい値電圧トランジスタからなるメモリセルアレイである。

【0030】ここでは、アドレスデコーダAおよびリードライト回路AにてAポートに対応するメモリ周辺回路APが構成され、アドレスデコーダBおよびリードライト回路BにてBポートに対応するメモリ周辺回路BPが構成されている。したがって、APは低しきい値電圧トランジスタから構成され、BPは高しきい値電圧トランジスタから構成されるものとなり、これら2つのポートによりメモリセルアレイ35が独立かつ共有してアクセスされる。

【0031】また、VDDは高電位電源線、GNDは低電位電源線、36はVDDとAPとの間に設けられ、スリープ制御信号SLによりオン／オフ制御される高しきい値電圧トランジスタQsである。図4は図3のメモリ周辺回路の一部を示す回路図であり、VDDは高電位電源線、GNDは低電位電源線、41は低しきい値電圧トランジスタからなるAP内の論理回路GA、42は高しきい値電圧トランジスタからなるBP内の論理回路GB、VDDVは高しきい値電圧トランジスタQsを介してVDDから電源が供給される擬似電源線である。

【0032】アクティブ期間（動作時）には、スリープ制御信号SLが「LOW」レベルとなり、トランジスタQsがオンしてVDDからVDDVを介してGAに電源電圧が供給される。一方、スリープ期間（非動作時）には、スリープ制御信号SLが「HIGH」レベルとなり、QsがオフしてVDDからの電源供給が遮断される。この場合、Qsのしきい値電圧が高いことから、電源電圧が低く、論理回路部にしきい値電圧の低いトランジスタが使われている場合でもスタンバイ電流が小さい。

【0033】AP（Aポート）では、低しきい値電圧トランジスタで構成されているため、高速に動作するがアクティブ期間ではスタンバイ電流が大きい。BP（Bポート）では、高しきい値電圧トランジスタで構成されているため、低速で動作するがスタンバイ電流が小さい。したがって、メモリセルアレイに対して一方のポートからは高速アクセスが必要であるがスリープ期間があり、他方のポートからは低速アクセスでよい場合には、速度性能の高いAポートから高速アクセスし、Bポートから低速アクセスすることにより、それぞれの要求に対応した所望の書込み／読出し動作を行うことが可能となる。

【0034】また、BPにおけるスタンバイ電流がほとんど無視できる大きさとなるため、マルチポートメモリ全体のスタンバイ電流は、アクティブ期間において、従来（図9参照）と比較して、約1/2程度に低減させることが可能となる。さらに、スリープ期間においては、AP、BPともスタンバイ電流がほとんど無視できる大

9

きさとなるため、全体として大幅にスタンバイ電流を低減させることが可能となる。

【0035】次に、図5を参照して、本発明の第3の実施の形態について説明する。図5は本発明の第3の実施の形態であるマルチポートメモリのブロック図であり、同図において、51、53は低しきい値電圧トランジスタからなるアドレスデコーダA、B、52、54は低しきい値電圧トランジスタからなるリード／ライト回路A、B、55は高しきい値電圧トランジスタからなるメモリセルアレイである。

【0036】ここでは、アドレスデコーダAおよびリードライト回路AにてAポートに対応するメモリ周辺回路APが構成され、アドレスデコーダBおよびリードライト回路BにてBポートに対応するメモリ周辺回路BPが構成されている。したがって、AP、BPは低しきい値電圧トランジスタから構成されるものとなり、これら2つのポートによりメモリセルアレイ55が独立かつ共有してアクセスされる。

【0037】また、VDDは高電位電源線、GNDは低電位電源線、56はVDDとAPとの間に設けられ、スリープ制御信号SLによりオン／オフ制御される高しきい値電圧トランジスタQsである。図6は図5のメモリ周辺回路の一部を示す回路図であり、VDDは高電位電源線、GNDは低電位電源線、61は低しきい値電圧トランジスタからなるAP内の論理回路GA、62は低しきい値電圧トランジスタからなるBP内の論理回路GB、VDDVは高しきい値電圧トランジスタQsを介してVDDから電源が供給される擬似電源線である。

【0038】アクティブ期間（動作時）には、スリープ制御信号SLが「LOW」レベルとなり、トランジスタQsがオンしてVDDからVDDVを介してGAに電源電圧が供給される。一方、スリープ期間（非動作時）には、スリープ制御信号SLが「HIGH」レベルとなり、QsがオフしてVDDからの電源供給が遮断される。この場合、Qsのしきい値電圧が高いことから、電源電圧が低く、論理回路部にしきい値電圧の低いトランジスタが使われている場合でもスタンバイ電流が小さい。

【0039】AP（Aポート）およびBP（Bポート）では、低しきい値電圧トランジスタで構成されているため、高速に動作するがスタンバイ電流が大きい。したがって、メモリセルアレイに対して両方のポートからは高速アクセスが必要であるが、一方のポートについてスリープ期間がある場合には、スリープ期間が設けられる側についてはAポートからアクセスし、他方をBポートからアクセスすることにより、それぞれの要求に対応した所望の書込み／読出し動作を行うことが可能となる。

【0040】また、スリープ期間において、APにおけるスタンバイ電流がほとんど無視できる大きさとなるため、マルチポートメモリ全体のスタンバイ電流は、スリー

(6)

特開平9-198870

10

ープ期間において、従来（図9参照）と比較して、約1／2程度に低減させることが可能となる。また、従来（図12参照）と比較して、スリープ制御用トランジスタQsの数を削減することができ、半導体チップ上で必要となる実装面積を縮小することが可能となる。

【0041】なお、以上の説明において、2つの入出力ポートを有する場合を例に説明したが、これに限定されるものではなく、3つ以上の入出力ポートを有する場合でも、前述と同様の作用効果を得ることが可能となる。

10 また、以上の説明において、高電位電源側に高しきい値電圧トランジスタを設けた場合について説明したが、これに限定されるものではなく、低電位電源側に高しきい値電圧トランジスタを設けた場合、あるいは高電位電源側および低電位電源側の両方に高しきい値電圧トランジスタを設けた場合も同様であり、前述と同様の作用効果を得ることが可能となる。

【0042】

【発明の効果】以上説明したように、本発明は、第1のポートを構成する第1の周辺回路群を低しきい値電圧トランジスタにより構成し、第2のポートを構成する第2の周辺回路群を高しきい値電圧トランジスタにより構成するようにしたので、メモリセルアレイに対して一方のポートからは高速アクセスが必要であるが、他方のポートからは低速アクセスでよい場合には、速度性能の高い第1のポートから高速アクセスし、第2のポートから低速アクセスすることにより、それぞれの要求に対応した所望の書込み／読出し動作を行うことが可能となるとともに、第2の周辺回路群におけるスタンバイ電流がほとんど無視できる大きさとなるため、マルチポートメモリ全体のスタンバイ電流を低減させることが可能となる。

30 【0043】また、所定の高電位電源線から第1の擬似電源線に対し、第1の高しきい値電圧トランジスタを介して高電位の電源を供給し、あるいは所定の低電位電源線から第2の擬似電源線に対し、第2の高しきい値電圧トランジスタを介して高電位の電源を供給し、あるいは所定の高電位電源線から第3の擬似電源線に対し、第3の高しきい値電圧トランジスタを介して高電位の電源を供給し、所定の低電位電源線から第4の擬似電源線に対し、第4の高しきい値電圧トランジスタを介して低電位の電源を供給するようにしたものである。

40 【0044】したがって、メモリセルアレイに対して一方のポートからは高速アクセスが必要であるがスリープ期間があり、他方のポートからは低速アクセスでよい場合には、速度性能の高い第1のポートから高速アクセスし、第2のポートから低速アクセスすることにより、それぞれの要求に対応した所望の書込み／読出し動作を行うことが可能となるとともに、第2の周辺回路群におけるスタンバイ電流がほとんど無視できる大きさとなるため、アクティブ期間およびスリープ期間において、マルチポートメモリ全体のスタンバイ電流を低減させること

50

が可能となる。

【0045】さらに、第2の周辺回路群に対して、高電位電源線から高電位の電源を供給し、低電位電源線から低電位の電源を供給するようにしたので、従来の各ポートに対応するスリープ制御用トランジスタを削減でき、半導体チップ上で必要となる実装面積を縮小することが可能となる。

【0046】また本発明の他の実施の形態では、第1および第2のポートを構成する第1および第2の周辺回路群を低しきい値電圧トランジスタにより構成し、所定の高電位電源線から第1の擬似電源線に対し、第1の高しきい値電圧トランジスタを介して高電位の電源を供給し、あるいは所定の低電位電源線から第2の擬似電源線に対し、第2の高しきい値電圧トランジスタを介して高電位の電源を供給し、あるいは所定の高電位電源線から第3の擬似電源線に対し、第3の高しきい値電圧トランジスタを介して高電位の電源を供給し、所定の低電位電源線から第4の擬似電源線に対し、第4の高しきい値電圧トランジスタを介して低電位の電源を供給するようにしたものである。

【0047】したがって、メモリセルアレイに対して両方のポートからは高速アクセスが必要であるが、一方のポートにスリープ期間がある場合には、速度性能の高い第1および第2のポートから高速アクセスすることにより、それぞれの要求に対応した所望の書き込み／読出し動作を行うことが可能となるとともに、スリープ期間において第1の周辺回路群におけるスタンバイ電流がほとんど無視できる大きさとなるため、スリープ期間におけるマルチポートメモリ全体のスタンバイ電流を低減させることが可能となる。

【0048】さらに、第2の周辺回路群に対して、高電位電源線から高電位の電源を供給し、低電位電源線から低電位の電源を供給するようにしたので、従来の各ポートに対応するスリープ制御用トランジスタを削減でき、半導体チップ上で必要となる実装面積を縮小することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態によるマルチポートメモリのブロック図である。

【図2】 図1のメモリ周辺回路の一部を示す回路図で 40

ある。

【図3】 本発明の第2の実施の形態によるマルチポートメモリのブロック図である。

【図4】 図3のメモリ周辺回路の一部を示す回路図である。

【図5】 本発明の第3の実施の形態によるマルチポートメモリのブロック図である。

【図6】 図5のメモリ周辺回路の一部を示す回路図である。

10 【図7】 一般的なマルチポートメモリのブロック図である。

【図8】 各トランジスタのしきい値電圧、遅延時間、およびスタンバイ電流の関係を示す説明図である。

【図9】 第1の従来技術によるマルチポートメモリのブロック図である。

【図10】 図9のメモリ周辺回路の一部を示す回路図である。

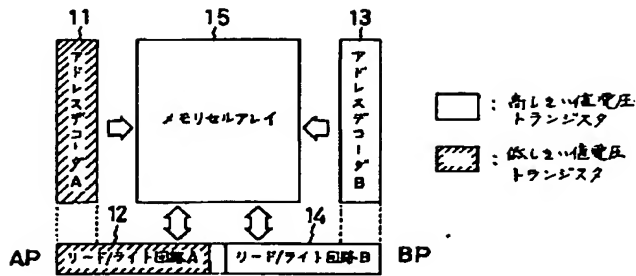
【図11】 第2の従来技術によるマルチポートメモリのブロック図である。

20 【図12】 図11のメモリ周辺回路の一部を示す回路図である。

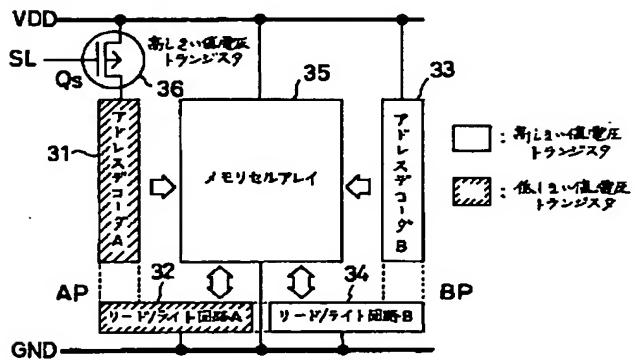
【符号の説明】

11…アドレスデコーダA（低しきい値電圧トランジスタ）、12…リード／ライト回路A（低しきい値電圧トランジスタ）、13…アドレスデコーダB（高しきい値電圧トランジスタ）、14…リード／ライト回路B（高しきい値電圧トランジスタ）、15…メモリセルアレイ、31…アドレスデコーダA（低しきい値電圧トランジスタ）、32…リード／ライト回路A（低しきい値電圧トランジスタ）、33…アドレスデコーダB（高しきい値電圧トランジスタ）、34…リード／ライト回路B（高しきい値電圧トランジスタ）、35…メモリセルアレイ、36…高しきい値トランジスタQs、51…アドレスデコーダA（低しきい値電圧トランジスタ）、52…リード／ライト回路A（低しきい値電圧トランジスタ）、53…アドレスデコーダB（低しきい値電圧トランジスタ）、54…リード／ライト回路B（低しきい値電圧トランジスタ）、55…メモリセルアレイ、56…高しきい値トランジスタQs。

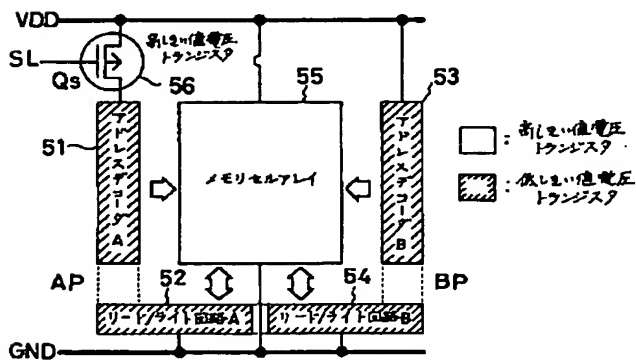
【図1】



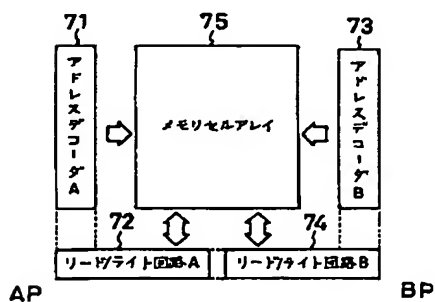
【図3】



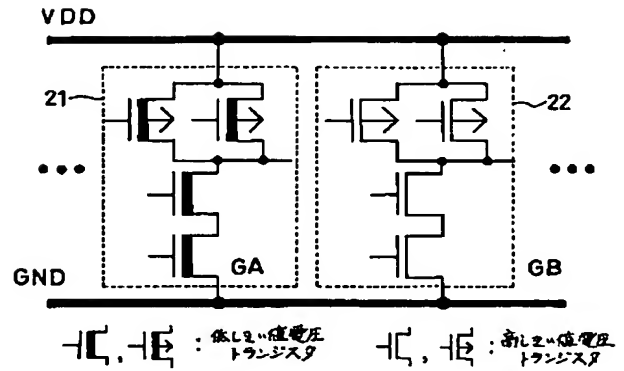
【図5】



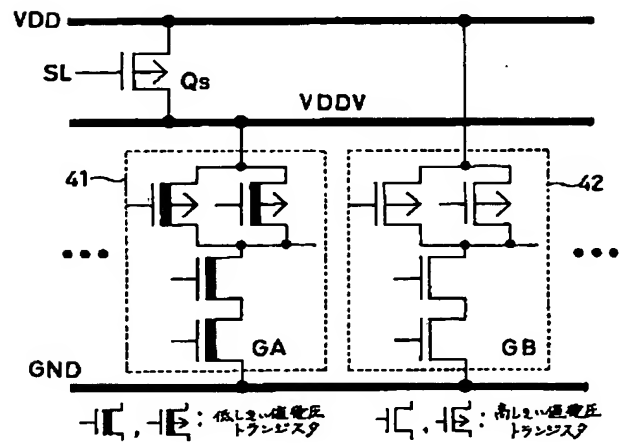
【図7】



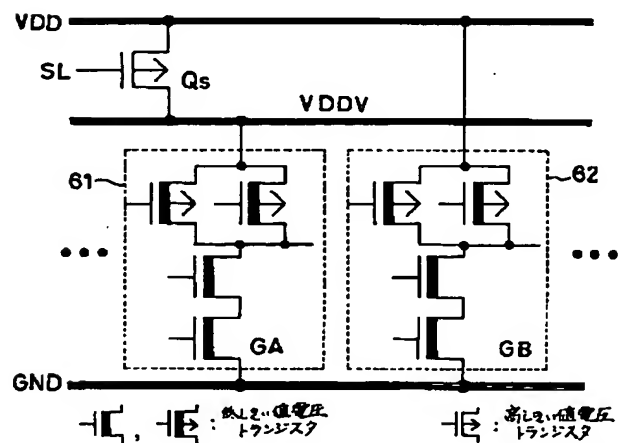
【図2】



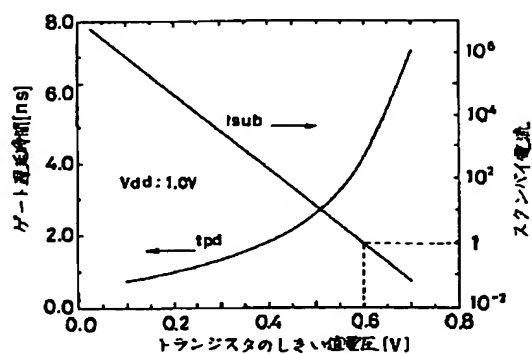
【図4】



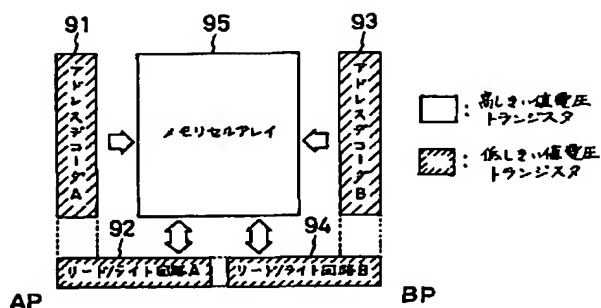
【図6】



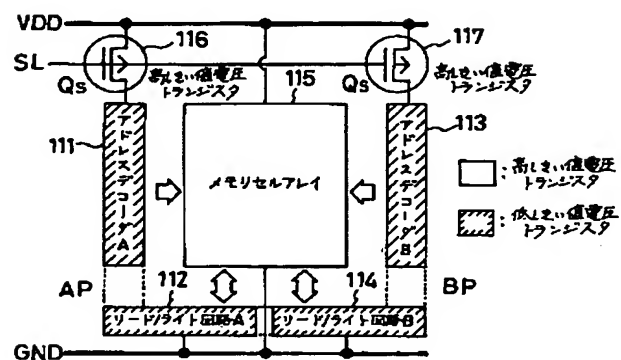
【図8】



【図9】



【図11】



【図12】

